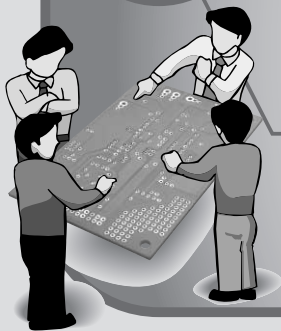
第5章

高速化，小型化が進む設計においてはツールやデザイン・ガイドの有効活用が肝

高速信号を扱う際，知っておきたい多層基板の基礎

剣持裕治

バスの高速化が進む設計においては，回路設計者が多層基板の特徴をよく理解し，多層基板の特性を十分引き出すことが求められる．ここでは，配線パターン設計入門者はもちろん，回路設計者にも常識として知っておいてほしい多層基板設計における基礎知識を紹介する．（編集部）

プリント基板の歴史は古く，既に1950年代には片面基板を使ったポータブル・ラジオが販売されていました．1960年代に入ると，スルー・ホールめっき技術が開発され，1970年代前半にはさらなる小型化と生産性，信頼性向上の要求により，多層基板が実用化されています．しかし，一般の産業機器においてはDIP（dual in-line package）が主流だったため，よほど高密度な実装をしない限り両面基板でも十分，配線できていました．

1980年代に入ると，市場の小型化への要求から面実装のSOP（small outline package）などが登場し，そろそろ4層基板を使用しないと配線が厳しくなってきました．

1990年代には端子が4方向にあるQFP（quad flat package）やフルグリッドのPGA（pin grid array）の登場により，配線密度を上げるための技術革新は，パターンの微細化とビアの小径（しょうけい）化だけでは限界が見えてきました．それを打開するために多層基板とIVH（interstitial via hole）が開発されましたが，開発に拍車をかけたのが2000年代からの携帯電話の普及とASIC，FPGA，システムLSIの登場でしょう．

軽薄短小かつ高機能に対応するため，使用電源を低電圧化し，限界までパッケージ・サイズを小さくしたCSP（chip size package）やBGA（ball grid array）も登場しました．このBGAの登場はある意味で，基板設計の転換期とも言えます．4層基板までは2枚の2次元空間内で基板設計を行っていましたが，それがさらに面を積み重ねて，同時に考慮する必要のある2.5次元になった訳です．さらに複雑なIVHを使う場合には，3次元的な思考も必要になってきました．このように，1000ピンを越えるI/O端子を持つBGAパッケージに集中する配線と幅広いバスを，高速信号を取り扱いながら今まで以上に配線密度を上げるには，IVHを使った6層以上の多層基板の知識が不可欠となっています．

1．覚えておきたい多層基板とビアの種類

基板の層数には片面基板から両面，多層基板など多くの種類があります．今回の特集は多層基板ですが，ひと口に多層基板と言ってもフレキやリジッド，そしてビルドアップ構造など，工法や素材に多くの種類が存在します．今回は広く一般的に使われている8層以下の多層基板と，多層基板設計の際に必要なビアの知識，そして各層をどのように使い分けたら効果的かを，基板設計をこれから始める技術者向けに紹介します．

● 層間接続するビアの種類

ビアは大きく分けてスルー・ビアとIVHに分類できます（**図1**）．スルー・ビアは2層基板でも一般的に使っている全層を貫通した接続用のビアで，ドリル穴加工し，スルー・ホールめっきすることで作成されます．それに対し

KeyWord スルー・ビア，IVH，ブラインド・ビア，ベリード・ビア，スタッカード・ビア，パッド・オン・ビア，マイクロストリップ・ライン，Altium Designer 6，Pentium M用チップ・セット，855PM

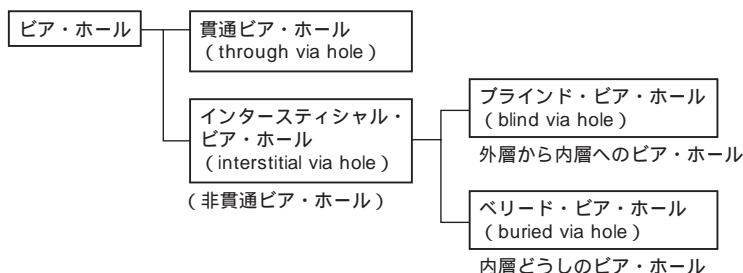



図1[1]
ビア・ホールの形状の種類

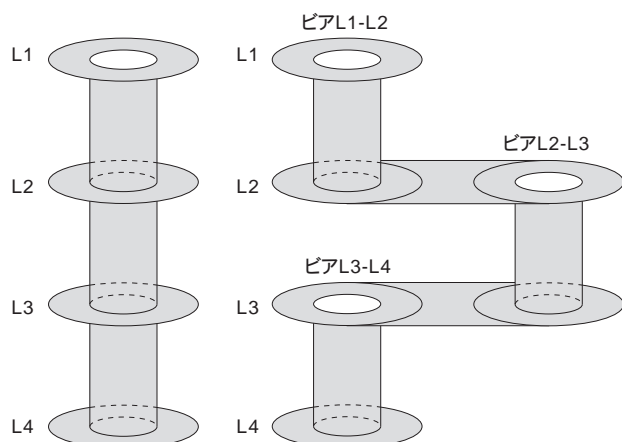
IVHは非貫通のビアで，4層板以上で使われます．

IVHはさらに，表面層から内層を接続するブラインド・ビアと，表層以外の内層間を接続するベリード・ビアに分類されます(**図2**)．穴あけはドリルではなくレーザで行われるため，200μm以下の穴径が一般的です．

● ビアの工法による種類

各層間のIVHビアの積層構造には，層間の穴位置が同じでもよいスタックト・ビアと，穴位置をずらす必要のあるスタッカード・ビアがあります(**図3**)．その2種類は基板工場の設備や工法により異なるので，IVHを使う場合にはスタックト・ビアが使えるかスタッカード・ビアに制限されるかを，基板製造業者と確認した方がよいでしょう．基板設計ではスタックト・ビアの方が，設計自由度が高くなります．しかし，めっき後の平たん度管理など製造の難易度が上がるので，この点に気をつけてください．

● パッド・オン・ビア

通常なら表層にあるビアの穴は，開口したままです．そ

(**a**) スタックト・ビア
上下のビアは同一位置にある．

(**b**) スタッカード・ビア
上下のビアは同一位置にはない．穴相互の間隔に注意．

図3　ビアの工法による種類

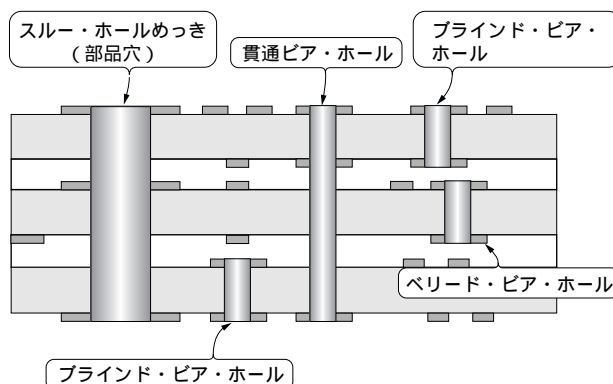



図2[1] **ビア・ホールの構造**
プリント配線板は6層．

のため部品のパッド上にビアを配置すると，この開口部にはんだが流れ込み接続不良を起こす危険性があります．樹脂やめっきでこの穴を埋めてあれば，部品パッドとビアのランドを共通化できます．これをパッド・オン・ビアと呼んでいます(**図4**)．この手法を使うと，BGAパッケージのパッドをファンアウトする必要がなく，そのままビアを介して内層へ接続できるので，配線のスペース効率が上昇します．また，スタブを最小にして接続できるので，基板設計にとって有利です．BGAを多用した基板で動作周波数も高い場合には，ぜひとも検討したい工法です．しかし，製造工程が増えるため基板コストは上昇します．

● 4層基板の例

4層基板の代表的な例を**図5**に示します．中央部のプレーン層は電源とグラウンドだけではなく，一部信号線に使うこともできます．その分電源に使用できる領域が減ることに注意してください．

図4　部品パッドとビアのランドを共通化したパッド・オン・ビア
配線のスペース効率が良い．

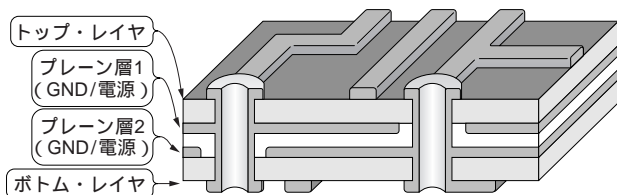



図5　4層基板の代表的な例
中央部のプレーン層は電源，グラウンドだけではなく，一部信号線に使っても良い．

図6　6層基板の例1
中央に信号層を配置．

図7　6層基板の例2
中央にプレーン層を配置．

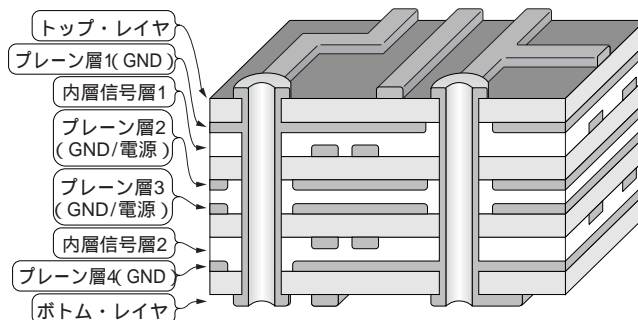



図8　8層基板の例
図7に比べ，どの信号からも最小距離で基準グラウンドへ到達できるため，特性インピーダンスを上昇させずにパターン幅を微細化できる．

● 6層基板の例

6層基板なら4層に比べて信号層が2層増えます．この増えた信号層をどこに配置するかで次の2種類が考えられます．

図6の例では，基板中央部に信号層を配置しました．配線パターンの特性インピーダンスを低くし，同時に信号層間の干渉を避けたい場合に有利です．

図7の例では，プレーン層を基板中央部へ配置しています．少ない種類のIVHで配線効率を上げたい場合に有利です．

● 8層基板の例

8層基板なら6層基板に比べてグラウンド層が2層増えます（**図8**）．この増えたグラウンド層により，どの信号からも最小距離で基準グラウンドへ到達できるため，特性インピーダンスを上昇させずにパターン幅を微細化でき，信号層間の干渉も最小となります．使用するIVHの種類は多くの組み合わせが考えられるので，基板製造コストと配線密度を検討し，最適なものを選ぶようにします．

● IVHを使用した多層ビルドアップ基板の製造フロー

ビルドアップ基板を例に，製造フローを示します（**図9**）．この例ではすべての層間を自由にIVHで接続できます．中心にある基材にIVHを使用しない2層や4層基板を使い，その両サイドをビルドアップで積み上げる製法もあります．この場合「1-4-1」や「2-2-2」などの層構成の表現方法があります．例えば「1-4-1」なら，基材に4層基板を使い両面に1層ずつビルドアップした基板です．この場合に使えるIVHの種類は，一番上の層をL1，下をL6と呼ぶならL1-L2，L2-L5，L5-L6の3種類のIVHと，全層を貫通するスルー・ビアの計4種類となります．

2. Intel社のPentium M用チップ・セット「855PM」のデザイン・ガイドをもとに8層基板設計の基礎を解説

今回，8層基板の実例サンプルとしたのは，米国Intel社のPentium M用チップ・セット「855PM」のテクニカル・ドキュメント（http://download.intel.com/design/mobile/desguide/25261403.pdf）です．このチップ・セットは，Pentium Mプロセッサとの組み合わせを前提に最適化されており，筆者が今この原稿を書いているパソコン「Think Pad T42p」にも使われています．

主な特徴として，

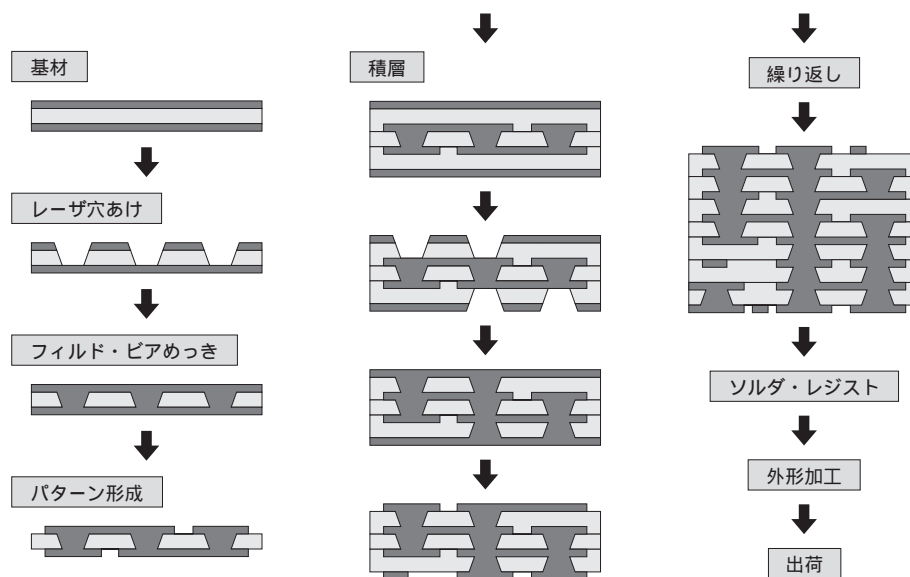



図9[2]
ビルドアップ基板の製造フロー

- 省電力対応400MHzシステム・バスをサポート
- DDRメモリ(333M/266M/200MHz)を搭載
- Hi-Speed USB 2.0をサポート
- AGP4xインターフェースを持つ

などが挙げられます．これらの高速信号インターフェースの種類だけでも，基板に対して高度な要求があることが想像されます．372ページに渡るこのドキュメントは，これらの高速信号をどのように配線すべきかを詳細に解説してあります．今回は，このドキュメントに掲載されているガイド・ラインに沿って，多層基板設計の実例を紹介します．

このドキュメントの30ページに，推奨スタックアップが載っています(**図10**)．8層(2-4-2)で，使えるビアの種類まではガイド・ラインには示されていませんが，製造コストを度外視するなら，L1-L2，L2-L3，L3-L6，L6-L7，L7-L8，L1-L8の6種類，さらにスタックト・ビアが使用できるならL1-L3，L6-L8も使えます．

L2，L4，L5，L7は電源およびグラウンド・プレーン層とし，銅はくの厚みは1.2mil，L1，L3，L6，L8は信号層で内層の銅はく厚は0.6mil，外層はめっき分を加えて1.5milとなっています．パターンの幅は外層5mil，内層4milで，コアやプリプレグの比誘電率は4.3です．

この層構成で，855PMチップ・セットが要求する特性インピーダンス55Ω±15%を満たしています．このように，層の積層構造と絶縁体の比誘電率，銅はくの厚み，各層からのプレーン層までの距離，製造可能な最小パターン幅は密接な関連があります．

● 各層の特徴

層の構成を見て分かる通り，L1，L8の表面層はマイクロストリップ・ライン，L3，L6の内層はストリップ・ラインを形成しています．注意したいのはL3，L6は中心がずれたアンバランスなストリップ・ラインになっていることです．これはメイン・ボード全体に大電流を供給するのは中央部のL4，L5を想定しているため，電源が介在するノイズからの影響を少なくしたいためです．L1，L8層では基準グラウンドが片側にしかなく，部品や外部からのノイズの影響が懸念されます，逆にL3，L6は両面のシールドによって外乱ノイズの影響が少なくなりますし，発生するEMI(電磁放射ノイズ)も少なくなります．さらに配線の邪魔になる表面実装部品のパッドが存在しない層のため，配線領域が広く確保できます．そのためこの層は，長い距離間を接続するパターンを通すのに適しています．

L2，L7のプレーン層は，各信号層の基準電位となるので，大電流が流れるパターンやそのリターンに使うことは避けてください．また，この層はグラウンド・バウンス低減のためにも重要なグラウンドになります．さらに，差動ペアがある場合には，差動ペアの片側だけに影響を与える位置で内層分割しないことに注意します．L4，L5層はボード全体の電源供給に使い，内層を分割して電源の種類を多く配線することも可能ですが，低電圧ながら大電流を扱っている点に注意します．

ビアの使用に関して各信号層の得失を考えて見ましょう．L1，L8の表面層は同一層の表面実装部品同士を接続する

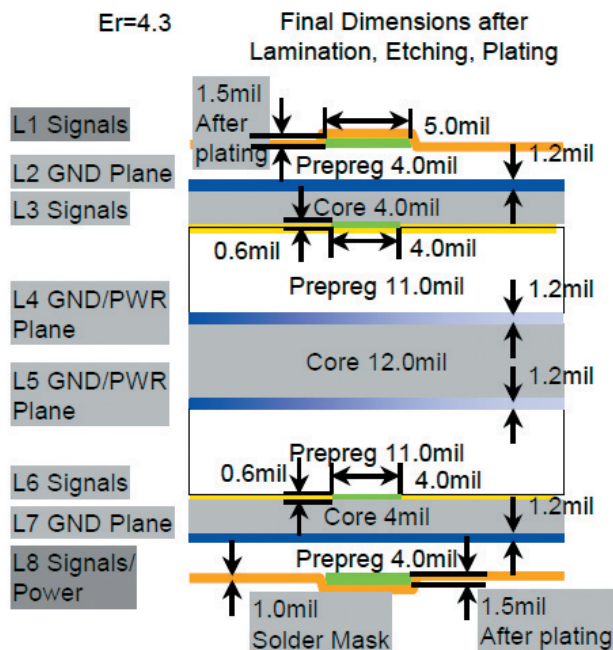



図10[3]　推奨スタックアップ

場合にはビアを必要としません．しかし，L3，L6層を表面実装部品からの接続に使用するには，表層のファンアウトと2個以上のビアが必要になります．なお，全層にパッドが存在する挿入部品同士の接続なら，どの信号層であってもビアを介在させずに直接接続することも可能です．

● どの層をどんな配線に使うべきか

各層にどのような信号を配置すると良いのかを表1にまとめてみます．

● FSBの配線

ドキュメント33ページからFSB（front side bus）を配線するためのガイド・ラインが記載されています．この配線には400MHzの信号が伝達されるので，容量性および誘導性によるクロストークに留意する必要があります．

図11は，基準グラウンド層からの距離と配線相互のクリアランスを示しています．このクリアランス値はクロストークの大きさに影響を与えます．Xの値は，推奨スタックアップから4milが指定されているので，クリアランスは8mil以上確保する必要があります．

図12は，配線幅とクリアランスの関係を示しています．特性インピーダンスの55Ω±15％を守るためのXの値は，表層では5mil，内層では4milですから，クリアランスは表

表1　どの層にどんな信号を配置するのが良いか

層＼利点など	利点	要注意事項
L2，L7	ブラインド・ビアを使えばスタブ最小	分割する場所と流れる電流値
L4，L5	大電流の供給源として分割しても使用可	大電流が流れる 他電位のビアによる欠損

（a）電源層

層＼利点など	利点	要注意事項
L1，L8	同一面にある部品間ならビアが不要 伝達遅延がない 部品下でなければパターンカット可	外乱ノイズの影響 表面実装部品による配線領域低下 誘導性のクロストーク
L3，L6	ノイズの発生と影響を受けにくい 迂回すべきパッドが同一層にないため配線自由度が高い	接続に使用するビアの個数 容量性のクロストーク

（b）信号層

図11[3]　基準グラウンド層からの距離と配線相互のクリアランスの関係

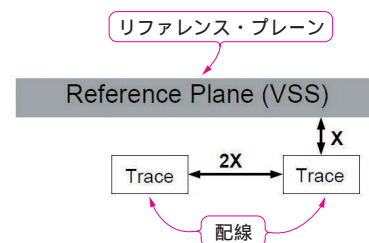
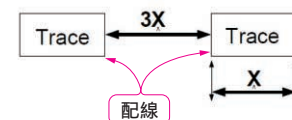



図12[3]　配線幅とクリアランスの関係

層15mil，内層12mil以上となります．$L/S=5/15$milなどと表記されることもあります．

ドキュメント43ページには配線長の許容差が示されています（表2）．各データ線グループの配線は伝達遅延を等しくするために，すべて等長で配線する必要があります．ストローブ線は差動ペアで配線するため，誤差の許容値がさらに厳しくなっています．また，データとストローブ線の配線の長さも等しくします．

ドキュメント44ページには配線のトポロジーが示されています（表3）．この場合のトポロジーとは，配線するパターンに要求される特性を表します．一般的に配線トポロジーは，ノード間の配線属性（一筆書きや分岐の位置）や終端の方法などをモデル化したもので，伝送線路解析の際の重要なパラメータになります．この配線グループのガイ

表2[3] 配線長の許容差

CPUの信号線名 / 信号線の許容ばらつき / 各データ線グループに対応したストローブ名 / ストローブ線の許容ばらつき

CPU Signal Name	Signal Matching	Strobes associated With the Group	Strobe Matching	Notes
D[15:0]#, DINV0#	± 100 mils	DSTBP0#, DSTBN0#	± 25 mils	1
D[31:16]#, DINV1#	± 100 mils	DSTBP1#, DSTBN1#	± 25 mils	1
D[47:32]#, DINV2#	± 100 mils	DSTBP2#, DSTBN2#	± 25 mils	1
D[63:48]#, DINV3#	± 100 mils	DSTBP3#, DSTBN3#	± 25 mils	1

NOTE: Strobes of the same group should be trace length matched to each other within ±25 mil and to the average length of their associated Data signal group.

表3[3] 配線のトポロジー

信号名 / 線路の種類 / 配線長 / インピーダンス / 線幅と線間距離 / ストリップ・ライン

Signal Names		Transmission Line Type	Total Trace Length		Nominal Impedance ( )	Width & spacing (mils)
CPU	MCH		Min (inches)	Max (inches)		
DINV[3:0]#	DBI[3:0]#	Strip-line	0.5	5.5	55 ± 15%	4 & 12
D[63:0]#	HD[63:0]#	Strip-line	0.5	5.5	55 ±15%	4 & 12
DSTBN[3:0]#	HDSTBN[3:0]#	Strip-line	0.5	5.5	55 ± 15%	4 & 12
DSTBP[3:0]#	HDSTBP[3:0]#	Strip-line	0.5	5.5	55 ±15%	4 & 12

ド・ラインでは，ストリップ・ラインが要求されているので，これらの信号はL3またはL6を使い配線します．また，最大配線長，インピーダンス，ライン幅とクリアランスも指定されています．

以上の制約事項を守った配線例がドキュメント47ページから記載されています．

3. Altium Designer 6を使った多層基板設計への取り組み例

これまでIntel社855PMチップ・セットのテクニカル・ドキュメントの内容から，配線作業時に順守すべき事項を説明しました．しかし，これらの制約事項を厳密に守りながら現実の基板へ置き換えることは，困難を伴うでしょう．しかし，今日の基板設計用EDAツールには，これらをあらかじめデザイン・ルールとして制約を与え，ルール・ドリブンとすることにより，人為的なミスをゼロにしながら配線するための工夫がなされています．その具体例を，本誌付属DVD-ROMに収めたプリント基板設計ツール「Altium Designer 6」を使って紹介します．テクニカル・ドキュメントでは数値がインチ単位系でしたが，これ以降の数値は，見やすくするためメートル単位に換算してあります．

● 層のスタックアップ

層構成を設定する「レイヤ構成マネージャ」ダイアログは，メニューから「デザイン」→「レイヤ構成マネージャ」で開きます(図13)．

ダイアログ右側の［レイヤ追加］，［プレーン追加］ボタンで，層を追加できます．積層順序は［上へ移動］，［下へ移動］ボタンを使って層を移動して設定します．レイヤ名や絶縁体の部分をダブル・クリックすると，それらの属性を設定できます．図14に絶縁体のプロパティ入力画面を，図15に層のプロパティ入力画面を示します．

ここで入力した基板に関する属性は，配線幅をパターン幅ではなく，インピーダンス値を指定して配線する場合や，伝送線路解析の際の重要なパラメータとなります．ダイアログ右側の［インピーダンス計算］ボタンを押すとインピーダンス計算の近似式が確認できます(図16)．使用する周波数帯域がGHz以上になる場合などは，希望の近似式に修正します．

図13　層構成の設定画面

図14　絶縁体のプロパティ入力画面

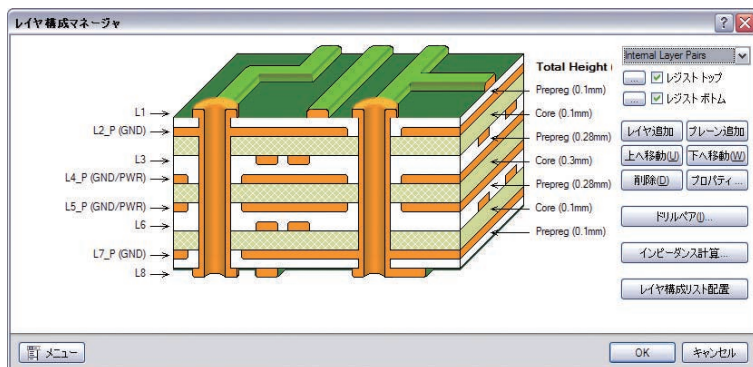



図15　層のプロパティ入力画面

図16　配線のインピーダンス計算画面

● ドリルの種類

「レイヤ構成マネージャ」ダイアログ右側の［ドリルペア］ボタンをクリックすると，この基板に使用するビアの種類が設定できます(図17)．

スタートレイヤとストップレイヤは，それぞれ穴が開始される層と終了する層を表しています．図17の例ではスルー・ビアと7種類のIVHを設定しています．

図17
基板に使用するビアの種類の設定画面

● ビアのサイズと穴径

使用するビアのランド・サイズと穴径を設定する「PCBルールと制約条件編集」ダイアログは，メニューから「デザイン」→「デザイン・ルール」で開きます(図18)．開いたダイアログ左側のペインに，設定可能なデザイン・ルールがツリー構造で表示されています．このデザイン・ルール・ツリーから「Routing」→「Routing Via Style」の部分で右クリックすると新しいビア・ルールが設定できます．

図18の例は，L1とL3，L6とL8を接続するIVHのビア径などを設定した例です．クエリのフィールドに「((StartLayer ='L1') And (StopLayer ='L3')) Or ((StartLayer ='L6') And (StopLayer ='L8'))」と記述しています．AndとOrで記述された簡単なクエリによりこのデザイン・ルールのスコープ範囲を絞り込み，制約条件で設定されたビア径と穴径を適用します．配線中に層を切り替えると，このルールで指定されたビアが自動的に配置されます．

● 信号層別の配線幅

ガイド・ラインによると，配線の特性インピーダンスを55Ω±15%とするには，外層5mil，内層4milの幅でパターンを引く必要があります．この制約をデザイン・ルー

図18
L1とL3，L6とL8を接続するIVHのビア径を設定する画面

ルで設定します．表層を表すクエリは，「OnLayer(‘ L1 ’) Or OnLayer(‘ L2 ’)」と実際のレイヤ名を記述することもできます．同じように内層を表すクエリは「OnMid」と記述します．「指定インピーダンスに対応した配線幅」のチェック・ボックスをONにすると，インピーダンス・ドリブン配線となります．これは「インピーダンス計算式」ダイアログにある近似式から計算された配線幅を使って配線でき，複雑な層構成を持つ多層基板を配線する際に便利です．

● 信号グループ別のクリアランス

ガイド・ラインで「D[15:0]*」と記載されたバスは，「D15*」から「D0*」の16本の信号を表しています．これらの16本をまとめて特定するには，クラス定義の機能が便利です．メニューから「デザイン」→「クラス定義」を選択すると，表示される「オブジェクト クラス エクスプローラ」ダイアログでクラス分けを設定します．クラスを設定してあれば，デザイン・ルールの信号線指定が簡単になります．

● 信号グループ別の配線可能層

クリアランスと同じやり方で，配線可能な層を指定します．

● 信号グループの等長配線

Altium Designer 6の等長配線には，自動で行う方法とインタラクティブに手動で等長化する方法の2通りあります．どちらも配線後に一番経路の長いパターンに長さを合わせるので，迂回（うかい）のための十分なスペースをあらかじめ確保しておくことが必要です．

自動で行うにはデザイン・ルールで信号グループと許容差，迂回形状を設定します．グループ内のパターンで最も長い配線を見つけ出し，配線長の足りない配線に，デザイン・ルールで指定された折り曲げを付加して，長さを許容差内に収まるようにします．

手動で行うにはメニューから「ツール」→「インタラクティブ配線長チューニング」を選び，長さを調整したい配線パターンをカーソルで指定します．このときにTabキーを押すと**図19**のダイアログが開くので，目標とする配線長や迂回の形状を指定します．チューニング作業中にF1キーを押すと，さらに細かくチューニングするためのヘルプが開くので参考にしてください．

● 配線長の制限

信号グループ「DINV[3:0]#」は配線長の最小値と最大値が指定されているので，デザイン・ルールでこの制限を与えます（**図20**）．

● 差動ペア配線

差動ペアの指定を回路図側で指定するには，回路図メニューから「配置」→「ディレクティブ」→「差動ペア」で配置されるオブジェクトでワイヤを指定します（**図21**）．基板

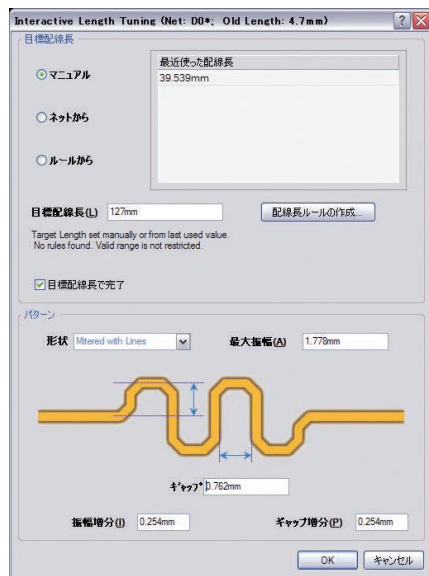



図19　インタラクティブ配線長チューニング設定ダイアログ

図20　配線長の制限を与える画面

図21　差動ペアの指定を回路図側で指定する画面

で差動ペアを指定するには「PCBパネル」の「Differential Pairs Editor」を使います．

差動ペアを指定後はメニューから「配置」→「スマート差動ペア配線」コマンドを選択し，正負2本同時に差動ペアの制約に従っての配線が可能です（図22）．

4．リファレンス・デザインには何が入っているのか

Altium Designer 6を起動後，Examplesフォルダに収められた各種サンプルを確認してみましょう（図23）．各フォルダにはPSpiceとVHDLシミュレーション，部品情報データベースとの連携，組み込みソフトウェア開発，FPGAデザイン，プリント基板自動配線，リファレンス・デザインなどAltium Designer 6の持つ機能を確認できるサンプルが収録されています．FPGAを使った開発にも興味のある方は，Altium Designerを使ったFPGA設計と，出来上がったFPGAを搭載する基板の最適化までの工程を，本誌2005年5月号(4)で紹介していますので，こちらも併せて参照してください．

今月号は多層基板の特集なので，\Altium Designer 6\Examples\Reference Designs\Daughter Boards\NBP8 Xilinx Virtex-II Pro BGA456 Rev1.01フォルダ内の「NBP8 Xilinx Virtex-II Pro BGA456 Rev1.01.PrjPcb」

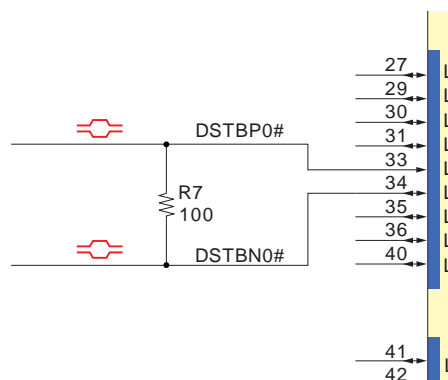



図22　差動ペアの制約に従っての配線

図23
Altium Designer 6に含まれるサンプル・ファイルの内容
Altium Designer 6をインストールしたフォルダ内のExamplesフォルダ．

が参考になるでしょう．PrjPcbを開くにはメニューから「ファイル」→「プロジェクトを開く…」をクリックします．456ピンのBGAを使用した8層基板(信号6層，電源2層)のサンプルです．BGAからの配線方法や高速シリアルであるRocket_IOの差動ペア処理(基板上方の同軸コネクタ周り)を確認してください．

\Altium Designer 6\Examples\LiveDesign Evaluation Board\Reference Designs\LiveDesign Evaluation Board (EB1 EB2)にもBGAパッケージのFPGAを搭載した6層基板のサンプルがあります．

\Altium Designer 6\Examples\Signal Integrity\Nbp-28フォルダ内の「Nbp-28.prjpcb」では，FPGAの利点である各I/Oピンの電気的特性を自由に変更できることの便利さと，各I/Oピンの電気的特性を知らずに設定する危険性が，伝送線路解析によって示されています．

プロジェクト・パネルのツリー階層「Generated-Simulation Documents-NBP-28.sdf」を見ると，スルー・レート駆動能力の最適値が，今の回路構成と基板構成から導き出せることがわかります．この解析に使用した配線トポロジーは，配線完了した基板データから得られた情報です．また，Altium社のWebページには，ビデオによる操作説明が用意されています[6]．テーマ別のトレーニング・ビデオになっているので，操作に行き詰まった場合のヒントになります．

参考・引用*文献

(1)＊ 浅山哲；プリント配線板の種類と構造，ビギナーズのためのプリント基板開発ガイド，Design Wave Magazine，2004年5月号別冊付録．
(2)＊ スタックアップビア基板，イビデン．http://www.ibiden.co.jp/JPN/fvss/process/index.html
(3)＊ Intel 855PM Chipset Platform Design Guide，Intel．http://download.intel.com/design/mobile/desguide/25261403.pdf
(4) 剣持裕治，森あきら；FPGA設計を体験する，Design Wave Magazine，2005年5月号，pp.39-58．
(5) Altium Designer overview，Altium．http://www.altium.com/Evaluate/DEMOcenter/AltiumDesigneroverview/
(6) トレーニングビデオ，Altium Designer overview，Altium．http://www.altium.com/Community/TRAININGcenter/TrainingVideos/

けんもち・ゆうじ